

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09006280
PUBLICATION DATE : 10-01-97

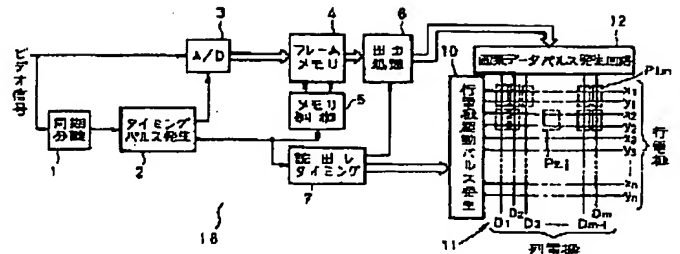
APPLICATION DATE : 15-03-96
APPLICATION NUMBER : 08059600

APPLICANT : PIONEER ELECTRON CORP;

INVENTOR : SUZUKI MASAHIRO;

INT.CL. : G09G 3/28 H04N 5/66

TITLE : MATRIX PLASMA DISPLAY PANEL
DRIVING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To make it possible to perform accurate luminescent display corresponding to pixel data by continuously applying first and second priming pulses and a scanning panel for writing an image data, and writing it the image data for every line.

SOLUTION: A pixel data pulse generating circuit 12 generates a pixel data pulse corresponding to each pixel data supplied from an output processing circuit 6, and applies to row electrodes D1-Dm of a PDP(plasma display panel) 11. A line electrode driving pulse generation circuit 10 generates a first priming pulse which excites compulsorily discharge between all the line electrodes of the PDP and generates charged particles in a discharge space, a second priming pulse for forming again charged particles, a scanning pulse for writing the pixel data, a discharge maintaining pulse, and an erase pulse for stopping maintaining discharge luminescence. These pulses are applied to the line electrodes X1-Xn and Y1-Yn of the PDP 11 in timing corresponding to each timing signal from a read-out timing signal generating circuit.

COPYRIGHT: (C)1997,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-6280

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	B
		4237-5H		H
H 0 4 N 5/66	1 0 1		H 0 4 N 5/66	1 0 1 B

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平8-59600

(22) 出願日 平成8年(1996)3月15日

(31) 優先権主張番号 特願平7-90977

(32) 優先日 平7(1995)4月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 重田 哲也

山梨県甲府市大里町465番地バイオニア株式会社ディスプレイ研究所内

(72) 発明者 三枝 信彦

山梨県甲府市大里町465番地バイオニア株式会社ディスプレイ研究所内

(72) 発明者 鈴木 雅博

山梨県甲府市大里町465番地バイオニア株式会社ディスプレイ研究所内

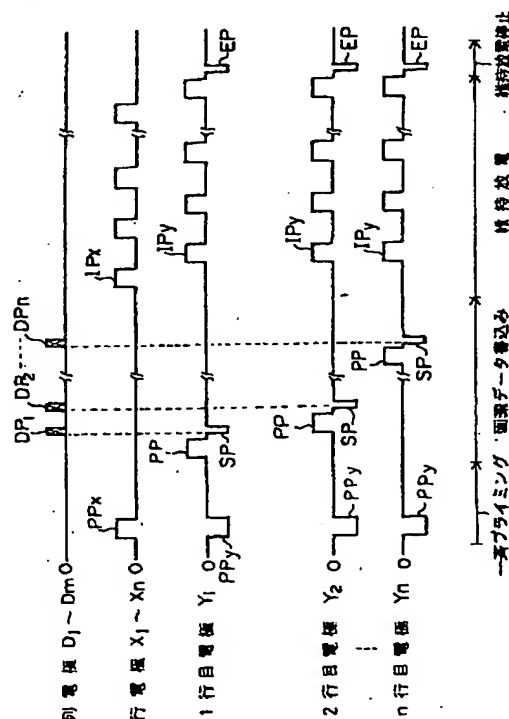
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 マトリクス方式プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 画素データに対応した正確な発光表示が可能なマトリクス方式プラズマディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】 全行電極に一齐に第1プライミングパルスを加して一齐プライミングを実行した後に、放電空間内の荷電粒子を再形成させるための第2プライミングパルス、及び画素データ書き込みのための走査パルスを連続印加して各行毎に画素データの書き込みを行う。



【特許請求の範囲】

【請求項1】 2本ずつ対となるように配列された複数の行電極対と前記行電極対に直行する方向に配列され複数の列電極とからなるマトリクス方式プラズマディスプレイパネルの駆動方法であって、

全ての前記行電極対に第1プライミングパルスと同時に印加して前記行電極対間に放電を励起させる一斉プライミング行程と、

前記行電極対の一方に第2プライミングパルス印加して前記行電極対間に放電を励起せしめた直後に、走査パルスを印加すると同時に前記列電極に画素データパルスを印加して画素データの書き込みを行う画素データ書込行程と、

前記行電極対に交互に維持パルスを印加して放電維持を行う維持放電行程と、

前記行電極対の一方に消去パルスを印加して前記放電維持を停止させる維持放電停止行程とからなることを特徴とするマトリクス方式プラズマディスプレイパネルの駆動方法。

【請求項2】 前記画素データ書込行程は、前記行電極対の一方に第2プライミングパルス印加して前記行電極対間に放電を励起せしめた直後に、前記行電極対の他方に走査パルスを印加すると同時に前記列電極に画素データパルスを印加して画素データの書き込みを行うことを特徴とする請求項1記載のマトリクス方式プラズマディスプレイパネルの駆動方法。

【請求項3】 前記第1プライミングパルスは、前記維持パルスに比して立ち上がりが緩やかな波形を有することを特徴とする請求項1及び請求項2記載のマトリクス方式プラズマディスプレイパネルの駆動方法。

【請求項4】 前記維持放電行程において、前記維持パルスは前記プラズマディスプレイパネルの全行電極対に同時に印加され、第1番目に印加される維持パルスは、第2番目に印加される維持パルスよりもパルス幅が長いことを特徴とする請求項1乃至請求項3記載のマトリクス方式プラズマディスプレイパネルの駆動方法。

【請求項5】 2本ずつ対となるように配列された複数の行電極対と前記行電極対に直行する方向に配列され複数の列電極とからなるマトリクス方式プラズマディスプレイパネルの駆動方法であって、

全ての前記行電極対の一方に正電圧の第1プライミングパルスを印加すると同時に他方に負電圧の第1プライミングパルスを印加して前記行電極対間に放電を励起させる初期化行程と、前記行電極対の一方に負電圧の第2プライミングパルスを印加して前記行電極対間に放電を励起せしめた直後に、前記行電極対の他方に負電圧の走査パルスを印加すると同時に前記列電極に画素データパルスを印加して画素データの書き込みを行う画素データ書込行程と、前記行電極対に交互に正電圧の維持パルスを印加して放電維持を行う維持放電行程と、前記行電極対

の他方に負電圧の消去パルスを印加して前記放電維持を停止させる維持放電停止行程とからなり、

前記画素データ書込行程の実行中は前記行電極対の他方の行電極が正電圧にオフセットされていることを特徴とするマトリクス方式プラズマディスプレイパネルの駆動方法。

【請求項6】 前記第1プライミングパルスは、前記維持パルスに比して立ち上がりが緩やかな波形を有することを特徴とする請求項5記載のマトリクス方式プラズマディスプレイパネルの駆動方法。

【請求項7】 前記維持放電行程において、前記維持パルスは前記プラズマディスプレイパネルの全行電極対に同時に印加され、第1番目に印加される維持パルスは、第2番目に印加される維持パルスよりもパルス幅が長いことを特徴とする請求項5及び請求項6記載のマトリクス方式プラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、交流放電型のマトリクス方式プラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】プラズマディスプレイパネルは、周知の如く、薄形の2次画面表示器の1つとして近時種々の研究がなされており、その1つにメモリ機能を有する交流放電型マトリクス方式のプラズマディスプレイパネルが知られている。図1は、かかるプラズマディスプレイパネルを含むプラズマディスプレイ装置の概略構成を示す図である。

【0003】かかる図1において、駆動装置100は、入力されたビデオ信号を1画素毎に対応したデジタルの画素データに変換して、この画素データに対応した画素データパルスをPDP（プラズマディスプレイパネル）11の列電極D1～Dmに印加する。PDP11は、上記列電極D1～Dm、及びかかる列電極と直交し且つX及びYなる一対にて1行を構成する行電極X1～Xn及びY1～Ynを備えている。これら列電極及び行電極対各々は図示せぬ誘電体を挟んで形成されており、1つの列電極及び行電極対が交差する部分に1つの画素セルが形成される。

【0004】駆動装置100は、上記PDP11の全ての上記行電極対間に強制的に放電励起せしめて壁電荷を形成（もしくは消去）させるためのプライミングパルスPPx及びPPyを発生してこれらをPDP11の行電極X1～Xn及びY1～Yn夫々に印加する。又、駆動装置100は、PDP11に上記画素データを書き込むための走査パルスSP、放電発光を維持するための維持パルスIPx及びIPy、更に、維持放電発光を停止させるための消去パルスEPの各々を発生してこれらをPDP11の行電極X1～Xn及びY1～Ynに印加す

る。

【0005】図2は、上記の各種駆動パルスの印加タイミングを示す図である。図2において、先ず、駆動装置100は、負電圧のプライミングパルスPPxを全ての行電極X1～Xnに印加すると同時に、正電圧のプライミングパルスPPyを行電極Y1～Ynの各々に印加する。かかるプライミングパルスの印加によりPDP11の全ての行電極対間に放電が生じる。かかる放電により、各画素セル内において荷電粒子が発生し、その放電終息後に壁電荷が蓄積形成される（一斉プライミング行程）。

【0006】次に、駆動装置100は、各行毎の画素データに対応した画素データパルスDP1～DPnを順次、列電極D1～Dmに印加する。駆動装置100は、上記画素データパルスDP1～DPn夫々の印加タイミングに同期して走査パルスSPを行電極Y1～Ynへ順次印加して行く。この際、かかる画素データパルスDP、及び走査パルスSPが夫々列電極及び行電極に同時に印加された画素セルにのみ放電が生じて、上記一斉プライミングにて形成された壁電荷の大半が消滅する。一方、走査パルスSPが印加されたものの画素データパルスDPが印加されない画素セルにおいては、上述の如き放電が生じないので、上記一斉プライミングにて形成された所望量の壁電荷はそのまま残留する。つまり、上記一斉プライミングにて形成された所望量の壁電荷は、画素データの内容に応じて選択的に消去されるのである（画素データ書込行程）。

【0007】次に、駆動装置100は、正極性の維持パルスIPxを連続して行電極X1～Xnの夫々に印加すると共に、かかる維持パルスIPxの印加タイミングとは、ずれたタイミングにて正極性の維持パルスIPyを連続して行電極Y1～Ynの夫々に印加する。かかる維持パルスが連続して印加されている期間にわたり上記壁電荷が残留したままになっている画素セルのみが放電発光を維持する（維持放電行程）。

【0008】次に、駆動装置100は、消去パルスEPを行電極X1～Xn夫々に印加することにより、上記維持放電を停止せしめる（維持放電停止行程）。かかるプラズマディスプレイ装置においては、上記一斉プライミングによって、全画素セルの放電空間内に荷電粒子を発生させて予め所望量の空間電荷を形成しておくことにより、走査パルスSPのパルス幅を狭くしても放電が生じるようにしている。

【0009】しかしながら、かかる荷電粒子は、時間経過と共に徐々に消滅して行くので、図2に示されるが如く、一斉プライミングの終了後、走査パルスSPが印加されるまでの時間が長くなる例えばn行目における各画素セルの放電空間内に存在する荷電粒子の量は、走査パルスSPの印加直前において微量となる。この際、かかる微量の荷電粒子しか存在していない画素セルに対し

て、図2に示されるが如く、パルス幅の狭い画素データパルスDP及び走査パルスSPの同時印加を行っても直ちに放電が開始されないため、画素データに対応した壁電荷を形成することが出来ない場合が生じる。よって、この際、誤った発光表示が為されるという問題が発生した。

【0010】

【発明が解決しようとする課題】本発明はかかる問題を解決するために為されたものであり、画素データに対応した正確な発光表示が可能なマトリクス方式プラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明によるマトリクス方式プラズマディスプレイパネルの駆動方法は、2本ずつ対となるように配列された複数の行電極対と前記行電極対に直行する方向に配列され複数の列電極とからなるマトリクス方式プラズマディスプレイパネルの駆動方法であって、全ての前記行電極対に第1プライミングパルスを同時に印加して前記行電極対間に放電を励起させる一斉プライミング行程と、前記行電極対の一方に第2プライミングパルスを印加して前記行電極対間に放電を励起せしめた直後に、走査パルスを印加すると同時に前記列電極に画素データパルスを印加して画素データの書き込みを行う画素データ書込行程と、前記行電極対に交互に維持パルスを印加して放電維持を行う維持放電行程と、前記行電極対の一方に消去パルスを印加して前記放電維持を停止させる維持放電停止行程とからなる。

【0012】

【作用】全行電極に一斉に第1プライミングパルスを印加して一斉プライミングを実行した後に、放電空間内の荷電粒子を再形成させるための第2プライミングパルス、及び画素データ書き込みのための走査パルスを連続印加して各行毎に画素データの書き込みを行う。

【0013】

【実施例】図3は、本発明による駆動方法にてパネル駆動を行う駆動装置を備えたプラズマディスプレイ装置の構成を示す図である。かかる図3において、同期分離回路1は、供給された入力ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路2に供給する。タイミングパルス発生回路2は、これら抽出された水平及び垂直同期信号に基づいた抽出同期信号タイミングパルスを発生してこれをA/D変換器3、メモリ制御回路5及び読出タイミング信号発生回路7の各々に供給する。A/D変換器3は、上記抽出同期信号タイミングパルスに同期して入力ビデオ信号を1画素毎に対応したデジタル画素データに変換し、これをフレームメモリ4に供給する。メモリ制御回路5は、上記抽出同期信号タイミングパルスに同期した書込信号及び読出信号をフレームメモリ4に供給する。フレームメモリ

4は、かかる書込信号に応じて、A/D変換器3から供給された各画素データを順次取り込む。又、フレームメモリ4は、かかる読出信号に応じて、このフレームメモリ4内に記憶されている画素データを順次読み出して次段の出力処理回路6へ供給する。読出タイミング信号発生回路7は、放電発光動作を制御するための各種タイミング信号を発生してこれらを行電極駆動パルス発生回路10、及び出力処理回路6の各々に供給する。出力処理回路6は、読出しタイミング信号発生回路7からのタイミング信号に同期させて、上記フレームメモリ4から供給された画素データを画素データパルス発生回路12に供給する。

【0014】画素データパルス発生回路12は、出力処理回路6から供給される各画素データに応じた画素データパルスDPを発生して上記PDP（プラズマディスプレイパネル）11の列電極D1～Dmに印加する。行電極駆動パルス発生回路10は、上記PDP11の全ての行電極対間に強制的に放電を励起せしめて後述する放電空間に荷電粒子を発生させるための第1プライミングパルスPPx及びPPy、上記荷電粒子を再形成させるための第2プライミングパルスPP、画素データ書き込みのための走査パルスSP、放電発光を維持するための維持パルスIPx及びIPy、更に上記維持放電発光を停止させるための消去パルスEPの各々を発生して、これらを上記読出タイミング信号発生回路7から供給された各種のタイミング信号に応じたタイミングにてPDP11の行電極X1～Xn及びY1～Ynに印加する。

【0015】図4は、かかるPDP11の構造を示す図である。図4において、表示面である前面ガラス基板110の内面（後述する背面ガラス基板113と対向する面）には、互いに対となるように行電極Y1～Yn及び行電極X1～Xn夫々が形成されている。これら行電極は、誘電体層111にて被覆されている。かかる誘電体層111には、MgO（酸化マグネシウム）層112が蒸着されている。MgO層112と背面ガラス基板113との間には放電空間114が形成されている。背面ガラス基板113には、蛍光体が塗布された列電極D1～Dmが形成されている。この際、上記行電極Y1～Yn及び行電極X1～Xnは、X及びYなる一対にて画像の1行を形成するようになっており、この1行分の行電極対Xi, Yi (i=1, …, n)と、1つの列電極Dj (j=1, …, m)とが交差（上面から見て）する部分に1つの画素セルPi,jが形成される。

【0016】次に、かかる図3にて示されるプラズマディスプレイ装置にて実施される本発明によるマトリクス方式プラズマディスプレイパネルの駆動方法について述べる。図5は、かかる本発明の駆動方法による第1の実施例を示し、この第1の実施例にてパネル駆動を行う際にPDP11に印加される各種パルスの印加タイミングを示す図である。

【0017】図5において、先ず、行電極駆動パルス発生回路10は、正電圧の第1プライミングパルスPPxを全ての行電極X1～Xnに印加すると同時に、負電圧の第1プライミングパルスPPyを行電極Y1～Ynの各々に印加する。かかる第1プライミングパルスの印加によりPDP11の全ての行電極対間に放電が励起して、全画素セルPi,jの放電空間114内に荷電粒子が発生する。この放電終息後、全画素セルの誘電体層111には一様に所定量の壁電荷が形成される（一斉プライミング行程）。

【0018】次に、画素データパルス発生回路12は、各行毎の画素データに対応した正電圧の画素データパルスDP1～DPnを順次、列電極D1～Dmに印加する。この際、行電極駆動パルス発生回路10は、上記画素データパルスDP1～DPnの各印加タイミングに同期して、小なるパルス幅の走査パルスSPを行電極Y1～Ynへ順次印加する。ここで、行電極駆動パルス発生回路10は、かかる走査パルスSPを各行電極Y1～Ynの各々に印加する直前に、図5にて示されるが如き正電圧の第2プライミングパルスPPを行電極Y1～Yn各々に印加するのである。

【0019】かかる第2プライミングパルスPPの印加により、上記一斉プライミングにて得られて時間経過と共に減少してしまった荷電粒子が、放電空間114内に再形成される。よって、放電空間114内に所望量の荷電粒子が存在する内に、上記走査パルスSPの印加による画素データ書き込みが為されるのである。例えば、画素データの内容が論理「0」である場合には、走査パルスSPと共に画素データパルスDPが同時印加されるので、画素セル内部に形成されている壁電荷は消滅する。一方、画素データの内容が論理「1」である場合には、走査パルスSPのみが印加されるので放電が生じず、その画素セル内部に形成されている壁電荷はそのまま保持される。つまり、かかる走査パルスSPとは、画素セル内に形成されている壁電荷を画素データに応じて選択的に消去せしめるためのトリガとなる選択消去パルスといえるのである（画素データ書込行程）。

【0020】次に、行電極駆動パルス発生回路10は、正電圧の維持パルスIPxを連続して行電極X1～Xnの夫々に印加すると共に、かかる維持パルスIPxの印加タイミングとは、ずれたタイミングにて正電圧の維持パルスIPyを連続して行電極Y1～Ynの夫々に印加する。かかる維持パルスが連続して印加されている期間にわたり、上記壁電荷が残留したままとなっている画素セルのみが放電発光を維持する（維持放電行程）。

【0021】次に、行電極駆動パルス発生回路10は、消去パルスEPを行電極X1～Xn夫々に印加することにより、上記維持放電を停止せしめる（維持放電停止行程）。以上の如く、かかるプラズマディスプレイパネルの駆動方法においては、全行電極に一斉に第1プライミ

ングパルス印加して一斉プライミングを実行した後、放電空間内の荷電粒子を再形成させるための第2プライミングパルス、及び画素データ書き込みのための走査パルスを連続印加して各行毎に画素データの書き込みを行うようにしている。

【0022】従って、この第2プライミングパルスによる荷電粒子の再形成から画素データの書き込みが実施されるまでの時間は全ての行において同一の短時間となる。よって、全ての行において、放電空間114内に所望量の荷電粒子が存在する内に、上記走査パルスSPの印加による画素データ書き込みが為されるので、画素データの書き込みが正確に為されるようになるのである。

【0023】尚、上記実施例においては、X、Yなる一対の行電極の片側の電極に正電圧の第2プライミングパルスPP、続いて負電圧の走査パルスSPを夫々印加して、これらを行毎にスキャンするようにしているが、かかる構成に限定されるものではない。図6及び図7は、それぞれ本発明の第2及び第3の実施例による駆動方法を示し、各々の駆動方法における駆動パルスの印加タイミングを示す図である。

【0024】かかる図6及び図7の実施例においては、X、Yなる一対の行電極の内、X電極に負電圧の第2プライミングパルスPP、続いてY電極に負電圧の走査パルスSPを夫々印加してこれらを行毎にスキャンするようにしている。尚、図7においては、画素データパルスDP1～DPnの印加による画素データ書き込みが為されている期間にわたり、走査パルスSPを印加する方の電極、すなわち行電極Xを正電圧にオフセットするようにしている。

【0025】このように上述の実施例の駆動方法においては、全行電極に一斉に第1プライミングパルスを印加して一斉プライミングを実行した後、第2プライミングパルスを印加しその直後に画素データ書き込み用の走査パルスを印加して各行毎に画素データの書き込みを行うようにしている。すなわち、全ての行において、走査パルスを印加する際の各画素セルの放電空間内の荷電粒子量を所定量に調節した直後に画素データ書き込みがなされるので、画素データに対応した所望電荷量の壁電荷を形成することができ、正確な表示画像を得ることが可能となる。

【0026】さらに、前述のプライミングパルスの印加方法に加えて、プライミングパルスの波形を調整すると、全ての行においてさらに正確な画像の表示をなすことができる。次に、プライミングパルスの波形を調整してプラズマディスプレイパネルを駆動する本発明の駆動方法を以下に説明する。プライミングパルスの波形を調整してパネル駆動を行う際に使用される駆動装置のうち、行電極駆動パルス発生回路10aの詳細な構成を図8に示す。なお、行電極駆動パルス発生回路以外の駆動装置は、図3と同一の装置を用いるものである。

【0027】図8において、行電極駆動パルス発生回路10aは、行電極X駆動部10xと、行電極Y駆動部10yと、コントローラ22を含む。1つの画素セルPi、jは、行電極対Xi、Yiと列電極Djとを有し、行電極Xiは行電極X駆動部10xに接続され、行電極Yiは行電極Y駆動部10yに接続され、列電極Djは画素データパルス発生回路12に接続されている。

【0028】行電極駆動パルス発生回路10aは、画素セルを駆動するためのパルスとして、PDP11の全ての行電極対間に強制的に放電を励起せしめて放電空間に荷電粒子を発生させるための第1プライミングパルスPPx及びPPy、上記荷電粒子を再形成させるための第2プライミングパルスPP、画素データ書き込みのための走査パルスSP、放電発光を維持するための維持パルスIPx及びIPy、更に上記維持放電発光を停止させるための消去パルスEPの各々を発生して、これらを上記読出タイミング信号発生回路7から供給された各種のタイミング信号に応じたタイミングにてPDP11の行電極X1～Xn及びY1～Ynに印加する。

【0029】コントローラ22は、読出タイミング信号発生回路7から供給される各種のタイミング信号に同期して、後述する各スイッチの開閉を含む各種パルスの印加を制御する。行電極X駆動部10xは、図8に示すように、各々対応するスイッチSWX1～SWX3を直列に含む複数のスイッチング電流路Px1～Px3が互いに並列に接続されて構成されている。かかるスイッチSWX1～SWX3の各々は、スイッチコントローラ22からの指令によって開閉が制御される。

【0030】スイッチング電流路Px1は、電流制限素子20aとスイッチSWX1とが直列に接続されてなり、スイッチSWX1の接点aには、正極性の第1電位+Vp1が接続され、スイッチSWX1の接点bは、電流制限素子20aを介して行電極Xiに接続されている。スイッチSWX1は、スイッチコントローラ22から供給される第1プライミングパルスPPxに反応して閉成されて、電位+Vp1を電流制限素子20aを介して行電極Xiに印加する。かかる電流制限素子20aは、好ましくは抵抗値R1を有する抵抗器からなる。

【0031】スイッチング電流路Px2において、スイッチSWX2の接点aには、正極性の電位+Vsが接続され、スイッチSWX2の接点bは行電極Xiに接続されている。スイッチSWX2は、コントローラ22から供給される維持パルスIPxに反応して閉成されて、電位+Vsを行電極Xiに印加する。スイッチング電流路Px3において、スイッチSWX3の接点aは、GND電位に接続され、スイッチSWX3の接点bは行電極Xiに接続されている。スイッチSWX3は、上記スイッチSWX1、SWX2の両者が同時に開放しているときのみ閉成されて、行電極XiにGND電位を印加する。

【0032】行電極Y駆動部10yも、行電極X駆動部

10xとはほぼ同様に構成されている。行電極Y駆動部10yは、各々対応するスイッチSWY1～SWY5を直列に含む複数のスイッチング電流路Py1～Py5が互いに並列に接続されて構成されている。かかるスイッチSWY1～SWY5の各々は、コントローラ22からの指令によって開閉が制御される。

【0033】スイッチング電流路Py1は、電流制限素子20bとスイッチSWY1とが直列に接続されてなり、スイッチSWY1の接点aには、負極性の電位 $-V_{p1}$ が接続され、スイッチSWY1の接点bは、電流制限素子20bを介して行電極Yiに接続されている。スイッチSWY1は、コントローラ22から供給される第1プライミングパルスPPyに反応して閉成されて、電位 $-V_{p1}$ を行電極Yiに電流制限素子20bを介して印加する。かかる電流制限素子20bは、好ましくは抵抗値R2を有する抵抗器からなる。

【0034】スイッチング電流路Py2において、スイッチSWY2の接点aには、正極性の電位 $+V_{p2}$ が接続され、スイッチSWY2の接点bは行電極Yiに接続されている。スイッチSWX2は、コントローラ22から供給される第2プライミングパルスPPに反応して閉成されて、電位 $+V_{p2}$ を行電極Yiに印加する。スイッチング電流路Py3において、スイッチSWY3の接点aには、画素データを選択するための負極性の電位 $-V_e$ が接続され、スイッチSWY3の接点bは行電極Yiに接続されている。スイッチSWX3は、コントローラ22から供給される走査パルスSPに反応して閉成されて、電位 $+V_{p2}$ を行電極Yiに印加する。

【0035】スイッチング電流路Py4において、スイッチSWY4の接点aには、放電を維持するための正極性の電位 $+V_s$ が接続され、スイッチSWY4の接点bは直接行電極Yiに接続されている。スイッチSWY4は、コントローラ22から供給される維持パルスIPyに反応して閉成されて、電位 $+V_s$ を行電極Yiに印加する。

【0036】スイッチング電流路Py5において、スイッチSWY5の接点aは、GND電位に接続され、スイッチSWY5の接点bは直接行電極Yiに接続されている。スイッチSWY5は、上記スイッチSWY1～SWY4の全てが同時に開放しているときのみ閉成されて、行電極YiにGND電位を印加する。画素データパルス発生回路12は、画素Pi,jの表示に対応したレベルを有するデータ信号を列電極Djに供給する。

【0037】このように、各画素セルPi,j ($i=1-n$, $j=1-m$) に対して、行電極駆動パルス発生回路10aは上述の如く構成されている。なお、上記電流制限素子20a, 20bは、抵抗器にて構成する場合、かかる抵抗器は $k\Omega$ のオーダの抵抗値を有することが好ましい。次に、図8にて示されるプラズマディスプレイ装置を使用して行われる本発明によるマトリクス方式プラズマディ

スプレイパネルの駆動方法について述べる。

【0038】図9は、本発明の駆動方法の第4の実施例にてパネル駆動を行う際にPDP11に印加される各種パルスの印加タイミングを示す図である。図9において、まず、行電極駆動パルス発生回路10aは、正電圧の第1プライミングパルスPPxを全ての行電極X1～Xnに印加すると同時に、負電圧の第1プライミングパルスPPyを行電極Y1～Ynの各々に印加する。この時、スイッチSWX1, SWY1の各々が閉成されて、行電極Xiには電流制限素子20aを介して電位 $+V_{p1}$ が印加され、行電極Yiには電位 $-V_{p1}$ が電流制限素子20bを介して印加される。各行電極対間に印加された電位 $+V_{p1}$ と電位 $-V_{p1}$ とにて生成される電位差が放電開始電圧を越えると、PDP11の全ての行電極対間に放電が励起されて、全画素セルPi,jの放電空間114内に荷電粒子が発生する。第1プライミングパルスの印加による放電の終息後、全画素セルの誘電体層111には一様に所定量の壁電荷が形成される（一斉プライミング行程）。

【0039】通常、パルス電圧の印加により生じたセルの放電によって、セルは瞬時に発光し、その発光輝度は放電によりセルを流れる放電電流量とはほぼ線形関係を有している。しかしながら、上記第1プライミングパルスPPx, PPyによる放電によってセルを流れる放電電流は、セルに直列に接続された電流制限素子20a, 20bを流れるために、電流制限素子20a, 20bによってかなり小量に抑制される。

【0040】さらに、電流路Px1, Py1には電流制限素子が直列に接続されているのでセルPi,jは容量性負荷を有している。故に、第1プライミングパルスPPx, PPyが電流路Px1, Py1に印加されたときに行電極Xi, Yiの各々に現れる電位変化は、図9に示すように緩やかに立ち上がる波形を有する。このように、第1プライミングパルスPPx, PPyによって行電極Xi, Yiの各々に現れる電位変化が緩やかな立ち上がり波形を有するとともにセルを流れる放電電流量が少なくなることによって、セル内では緩やかに小量の電流が流れるのみで画素セル内の放電エネルギー量が少なくなり、よって放電空間114内に発生する荷電粒子量が抑制される。従って、第1プライミングパルスの印加による放電発光の輝度は、低減されて低くなり、プラズマディスプレイパネルにおけるコントラストを改善することができる。

【0041】次に、画素データパルス発生回路12は、各行毎の画素データに対応した正電圧の画素データパルスDP1～DPnを順次、列電極D1～Dmに印加する。この際、行電極駆動パルス発生回路10aは、上記画素データパルスDP1～DPnの各印加タイミングに同期して、小なるパルス幅の走査パルスSPを行電極Y1～Ynへ順次印加する。ここで、行電極駆動パルス発

生回路10aは、かかる走査パルスSPを各行電極Y1～Ynの各々に印加する直前に、図9にて示されるが如き正電圧の第2プライミングパルスPPを行電極Y1～Ynの各々に印加する。

【0042】かかる第2プライミングパルスPPの印加により、上記一斉プライミングにて得られて時間経過と共に減少してしまった荷電粒子が、放電空間114内に再形成される。よって、放電空間114内に所望量の荷電粒子が存在する内に、上記走査パルスSPの印加による画素データ書き込みが為されるのである。例えば、画素データの内容が論理「0」である場合には、走査パルスSPと共に画素データパルスDPが同時印加されるので、画素セル内部に形成されている壁電荷は消滅する。一方、画素データの内容が論理「1」である場合には、走査パルスSPのみが印加されるので放電が生じず、その画素セル内部に形成されている壁電荷はそのまま保持される。つまり、かかる走査パルスSPとは、画素セル内に形成されている壁電荷を画素データに応じて選択的に消去せしめるためのトリガとなる選択消去パルスといえるのである（画素データ書き込み行程）。

【0043】次に、行電極駆動パルス発生回路10aは、正電圧の維持パルスIPxを行電極X1～Xnの夫々に印加する。次に、かかる維持パルスIPxの印加タイミングとは、ずれたタイミングにて正電圧の維持パルスIPyを行電極Y1～Ynの夫々に印加する。かかる維持パルスが連続して行電極Xi, Yiに交互に印加されている期間にわたり、上記壁電荷が残留したままとなっている画素セルのみが放電発光を維持する（維持放電行程）。

【0044】なお、この維持放電行程において、最初に、すなわち第1番目に行電極に印加される維持パルスIPxは、第2番目以降に印加される維持パルスIPy、IPx・・・に比してパルス幅を長めに設定してある。この理由を以下に説明する。画素データ及び走査パルスによる画素セルへのデータの書き込みは、第1行目から第n行目まで順次行われるので、画素データが書き込まれた後、維持放電行程に入るまでの時間が行毎に異なる。従って、パネル全体において、例えば画素データの内容が壁電荷をセル内に維持する状態、すなわち論理「1」であっても、行が異なると、セル内部に保持された壁電荷及び空間電荷の量が異なることがある。故に、最初の維持パルスのパルス幅を長くして、第1回目の維持パルスの印加により生成される電位差を通常よりも長期に亘り行電極間に作用させることによって、一定の電位差の下で第1回目の維持放電を完全に終息させて、放電空間を含む画素セルに残留する電荷量をパネル全体に亘り一様にするものである。第1回目の維持放電により、セルの電荷量を画素データに応じてほぼ一定量に調節することによって、パネル全体でむらのない画像表示をなし得るものである。

【0045】次に、行電極駆動パルス発生回路10aは、消去パルスEPを行電極X1～Xnの夫々に印加することにより、上記維持放電を停止せしめる（維持放電停止行程）。以上の如く、かかるプラズマディスプレイパネルの駆動方法においては、全行電極に一斉に、立ち上がりが緩やかな波形を有する第1プライミングパルスを印加して一斉プライミングを実行し、維持放電行程においては第1番目に行電極に印加する維持パルスのパルス幅を長く設定することによって、パネルを発光表示するようにしている。

【0046】従って、第1プライミングパルスの波形が立ち上がりを緩やかにすることによって、プライミングパルス印加による画素セルの発光輝度を小さく抑えることができる。また、第1回目の維持パルス印加期間を長くすることによって、セル内に存在する電荷量が画素データ毎にパネル全体でほぼ一様になるので、発光表示が正確になされるのである。

【0047】尚、上記第4実施例においては、X、Yなる一対の行電極の片側の電極に正電圧の第2プライミングパルスPP、続いて負電圧の走査パルスSPを夫々印加して、これらを行毎にスキャンするようにしているが、かかる構成に限定されるものではない。図10及び図11は、本発明の第5及び第6の実施例による駆動パルスの印加タイミングを示す図である。

【0048】かかる図10及び図11の実施例においては、X、Yなる一対の行電極の内、X電極に負電圧の第2プライミングパルスPP、続いてY電極に負電圧の走査パルスSPを夫々印加してこれらを行毎にスキャンするようにしている。尚、図11においては、画素データパルスDP1～DPnの印加による画素データ書き込みが為されている期間にわたり、走査パルスSPを印加する方の電極、すなわち行電極Xを正電圧にオフセットするようにしている。

【0049】又、上記図5乃至図7と図9乃至図11に示す実施例においては、そのパルス幅が小なる走査パルス（選択消去パルス）を用いて、画素セル内に形成されている壁電荷を画素データに応じて選択的に消去して、これにより画素データの書き込みを行うといういわゆる選択消去方式に適用した実施例を示したが、選択書き込み方式においても同様に適用できることは言うまでもない。

【0050】尚、かかる選択書き込み方式の場合は、先ず、パルス幅の小なる第2プライミングパルス印加により放電せしめて全ての壁電荷を一旦消滅させると共に放電空間114の荷電粒子の数を増大させるのである。かかる動作により、各行毎に均一なプライミング効果が得られる。次に、画素データ書き込み行程において、画素データに応じて選択的に壁電荷が形成される。

【0051】

【発明の効果】以上の如く、本発明によるマトリクス方

式プラズマディスプレイパネルの駆動方法においては、全行電極に一齐に第1プライミングパルスを印加して一斉プライミングを実行した後に放電空間内の荷電粒子を再形成させるための第2プライミングパルス、及び画素データ書き込みのための走査パルスを連続印加して各行毎に画素データの書き込みを行うようにしている。かかる駆動方法によれば、全ての行において、各画素セルの放電空間内に所望量の荷電粒子が存在する内に画素データ書き込みが為されるので、画素データに対応した所望電荷量の壁電荷を形成することが出来、正確な表示画像を得ることが可能となる。

【図面の簡単な説明】

【図1】マトリクス方式プラズマディスプレイパネルを含むプラズマディスプレイ装置の概略構成を示す図である。

【図2】従来の駆動パルスの印加タイミングを示す図である。

【図3】プラズマディスプレイ装置の構成を示す図である。

【図4】PDP 11の構造を示す図である。

【図5】本発明の駆動方法による駆動パルスの印加タイミングを示す図である。

【図6】本発明の第2の実施例による駆動パルスの印加タイミングを示す図である。

【図7】本発明の第3の実施例による駆動パルスの印加タイミングを示す図である。

【図8】プラズマディスプレイ装置の駆動装置の一部を示す構成図である。

【図9】本発明の第4の実施例による駆動パルスの印加タイミングを示す図である。

【図10】本発明の第5の実施例による駆動パルスの印加タイミングを示す図である。

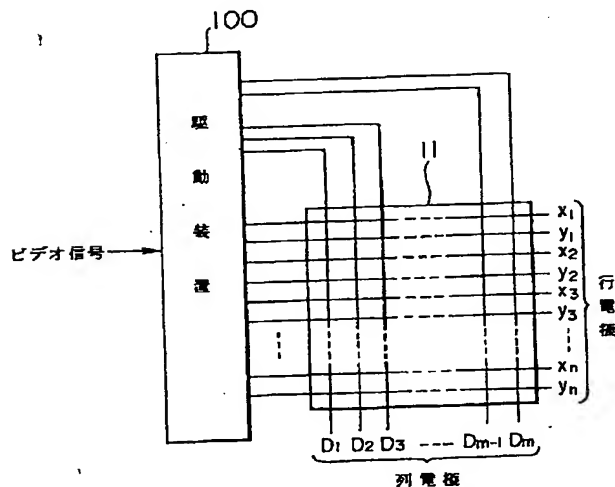
【図11】本発明の第6の実施例による駆動パルスの印加タイミングを示す図である。

【主要部分の符号の説明】

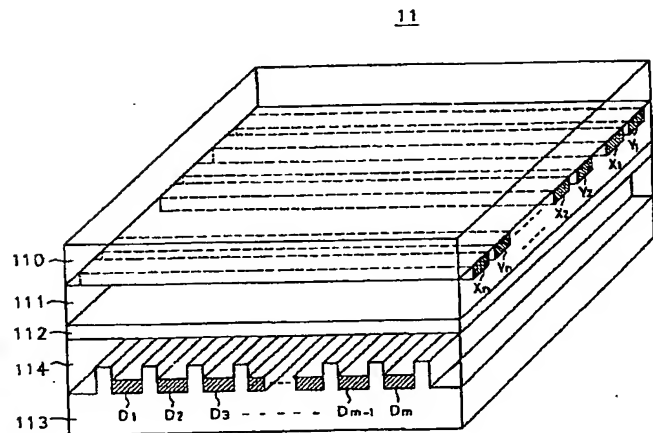
10 行電極駆動パルス発生回路

11 PDP

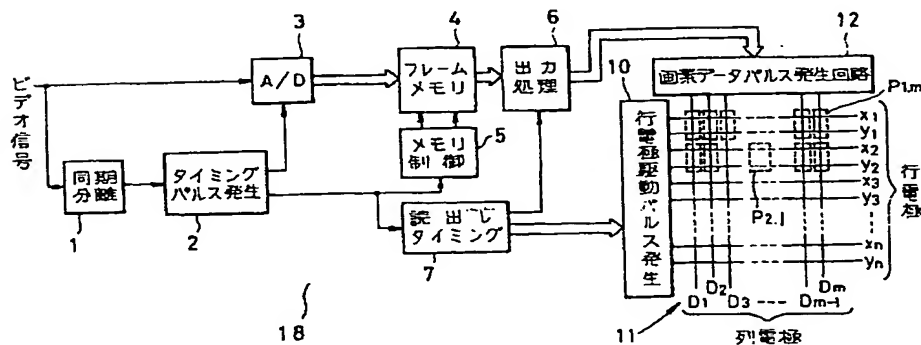
【図1】



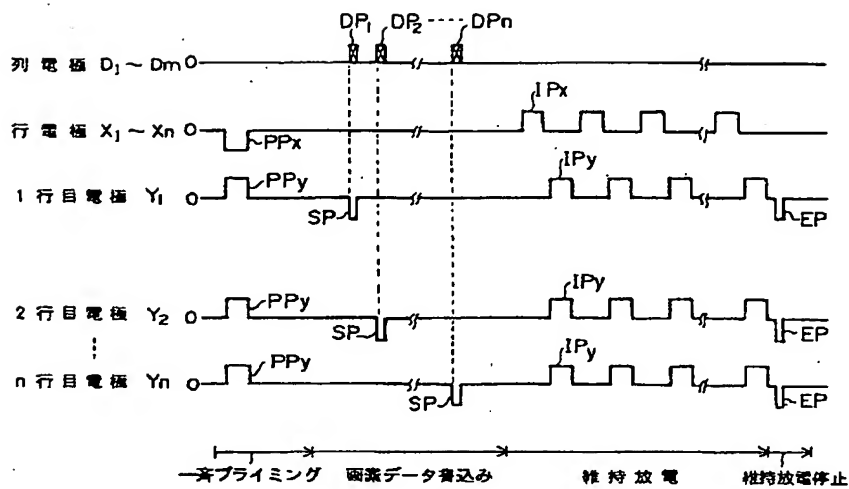
【図4】



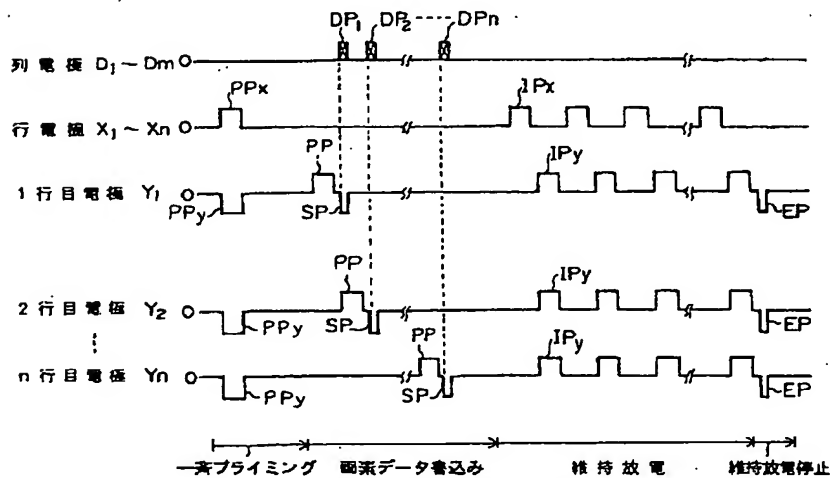
【図3】



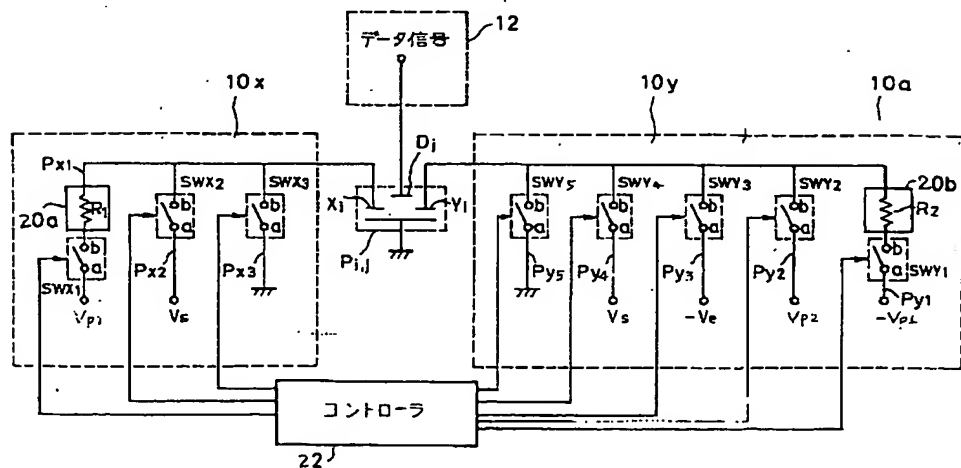
【図2】



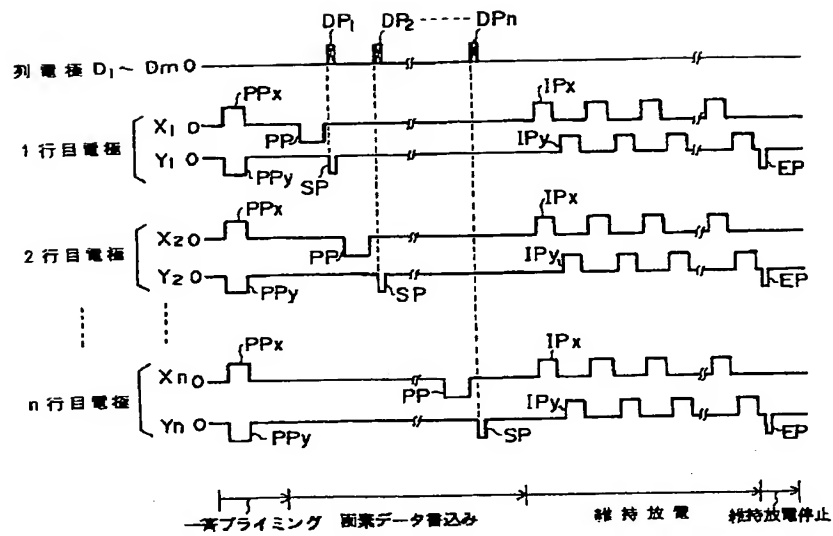
【図5】



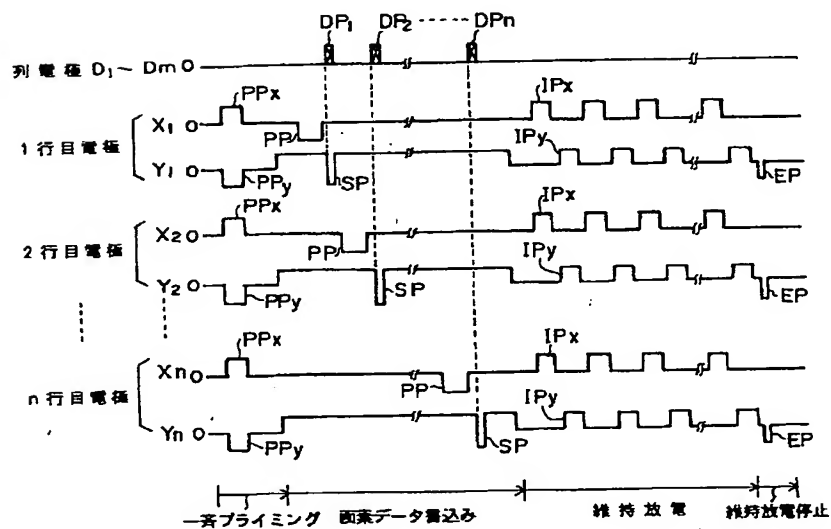
【図8】



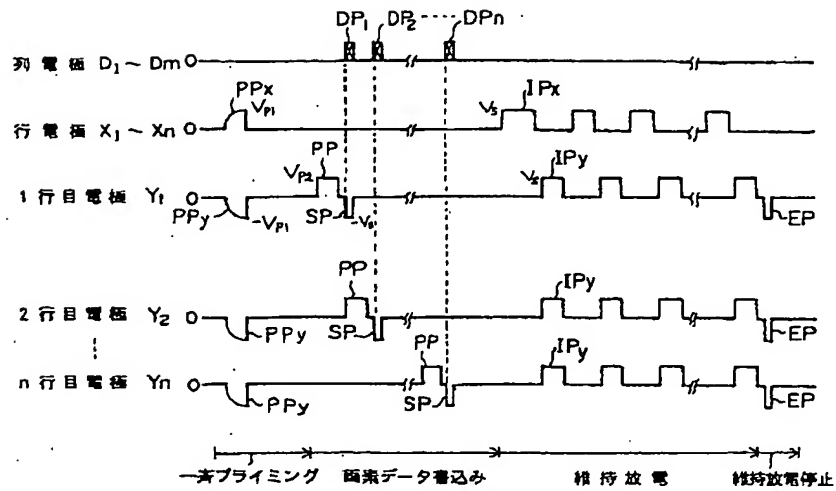
【図6】



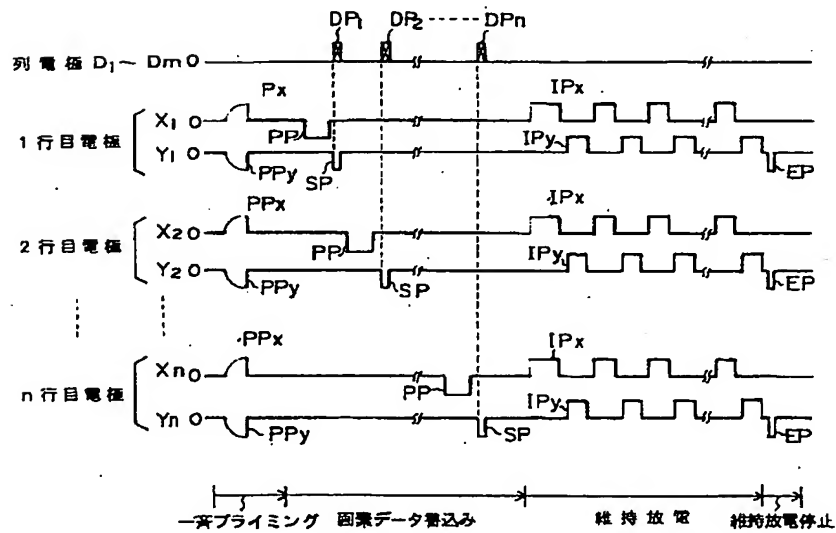
【図7】



【図9】



【図10】



【図11】

